

TD LOGIQUE n°1-2 :
Introduction au Séquentiel :
Bascules - Chronogrammes

Exercice 1 : Généralités - Cours

1. Expliquez la différence entre une bascule synchrone et asynchrone.
2. Expliquez la différence entre « Latch » et « Flip-Flop ».
3. Etude de notice technique (« Data Sheet ») : A quoi correspondent les temps T_{WL} , T_{WH} , T_{PLH} et T_{PHL} ?
4. Que doit-on imposer comme contrainte sur les commandes (entrées) si l'on considère les temps de préparation/stabilisation (T_S : T_{SETUP}) et de maintien (T_H : T_{HOLD}) des bascules ?
5. quel type de bascule doit-on utiliser pour ne considérer que le temps de préparation T_S ?
6. deux bascules D et JK possèdent les caractéristiques suivantes :

temps (ns)	T_S	T_H	T_{PLH}	T_{PHL}	T_{WL}	T_{WH}	F_{MAX}
D (74 74)	20	5	25	40	37	30	15 (MHz)
JK (74 112)	20	0	16	24	15	20	30 (MHz)

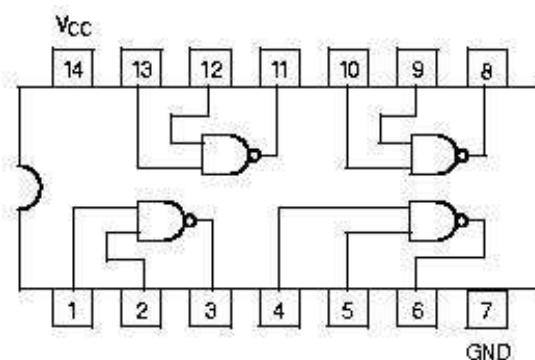
Quelles sont les fréquences maximales d'utilisation si on les utilise avec un circuit combinatoire qui nécessite $T_{PC} = 55$ ns ?

Exercice 2 : Résumé Bascules (tables de sorties/excitations, graphes des états)

1. Donnez 2 structures différentes de bascules RS (à base de NOR et à base de NAND)
2. Etablir la table de sortie, commentez le fonctionnement, donnez son équation et le diagramme des états.
3. Pour les autres bascules (JK, T, D), établir la table de sorties, l'équation de fonctionnement (en utilisant Karnaugh), la table des excitations et le graphe des états.

Exercice 3 : Réalisation de Bascules (à partir de NAND ou d'autres bascules)

1. En utilisant l'équation de fonctionnement de la bascule JK, réaliser le câblage d'une bascule JK en utilisant des NAND (7408).

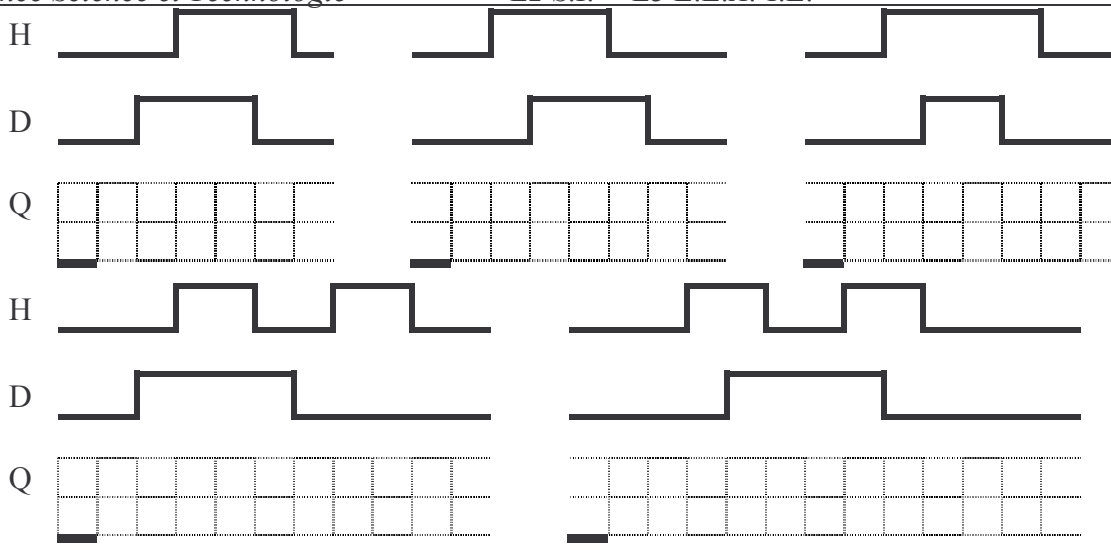


2. Comment réaliser une bascule JK Latch avec une bascule RS Latch ?
3. Comment réaliser une bascule D FF avec une bascule JK FF ?
4. Comment réaliser une bascule JK FF avec une bascule D FF ?
5. Comment réaliser une bascule JK FF M/S avec des bascules RS Latch ?

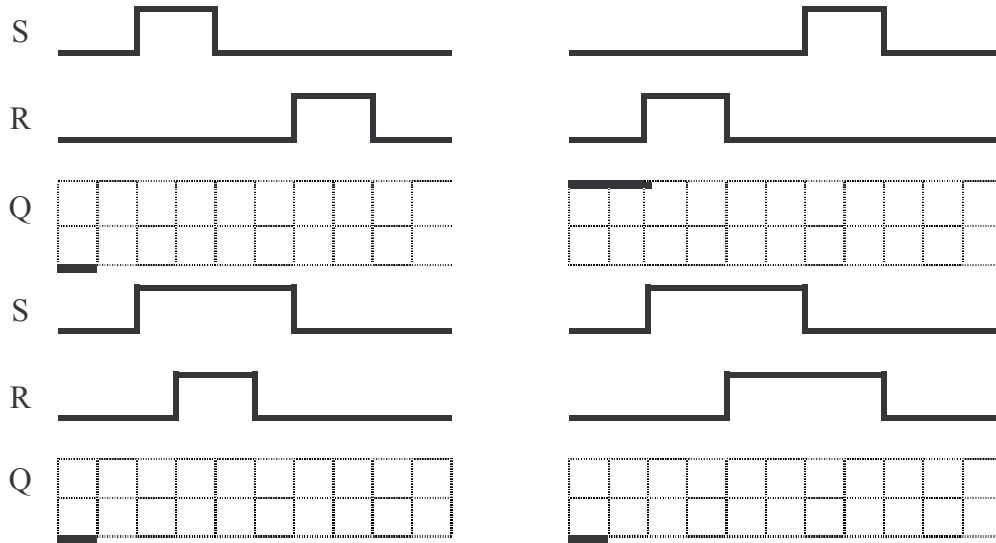
Exercice □: Chronogrammes

Complétez les chronogrammes suivants

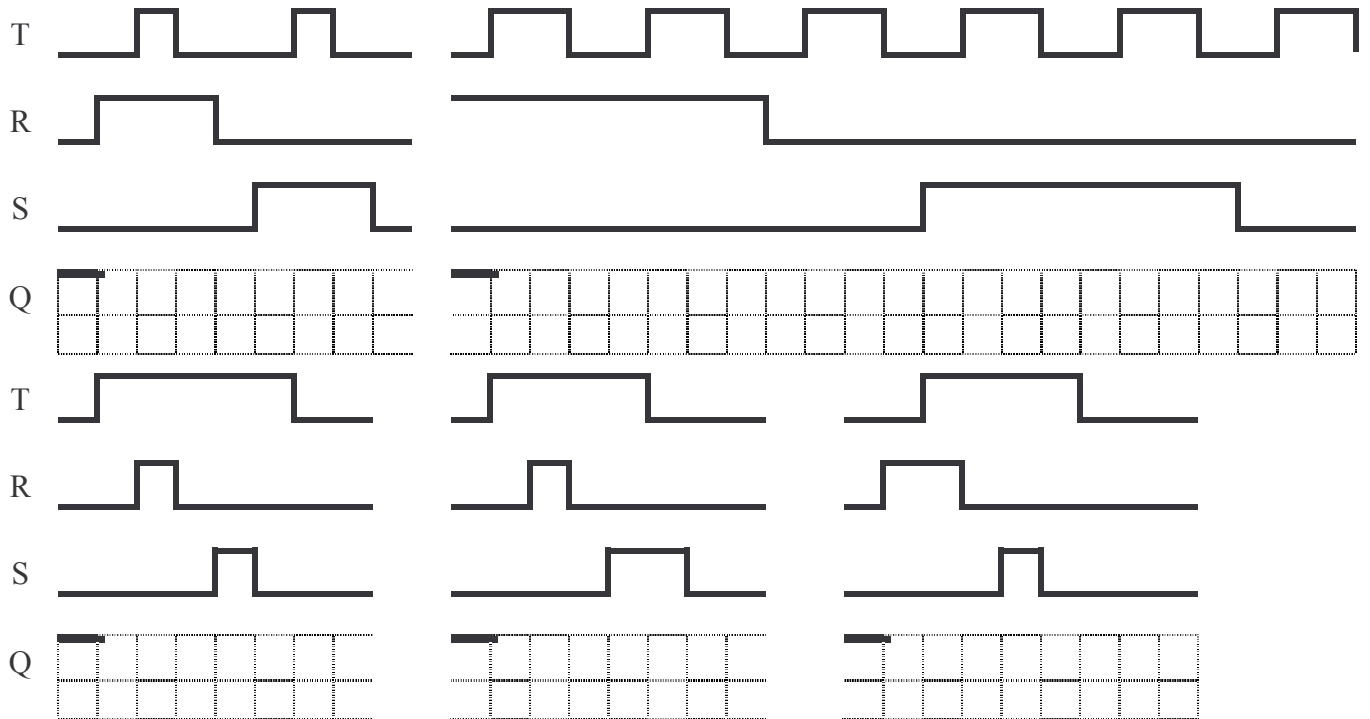
1. bascules D LATCH, D PET et D NET



2. bascules RS

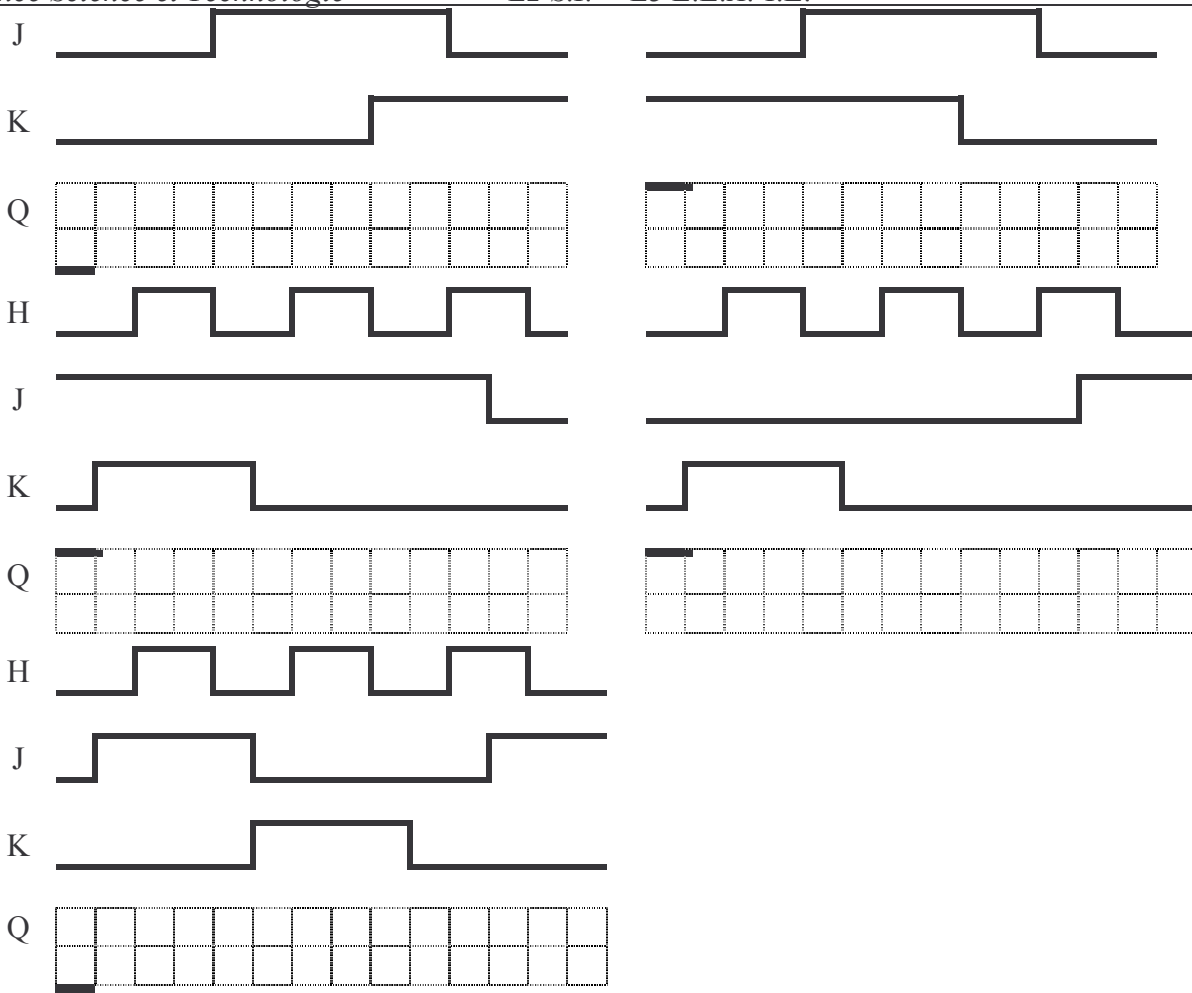


3. bascule RS Latch (RST)

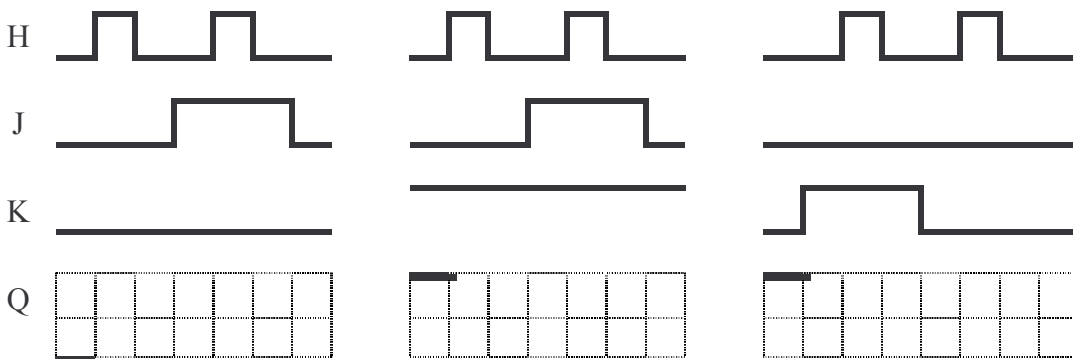


4. bascule JK PET et JK NET

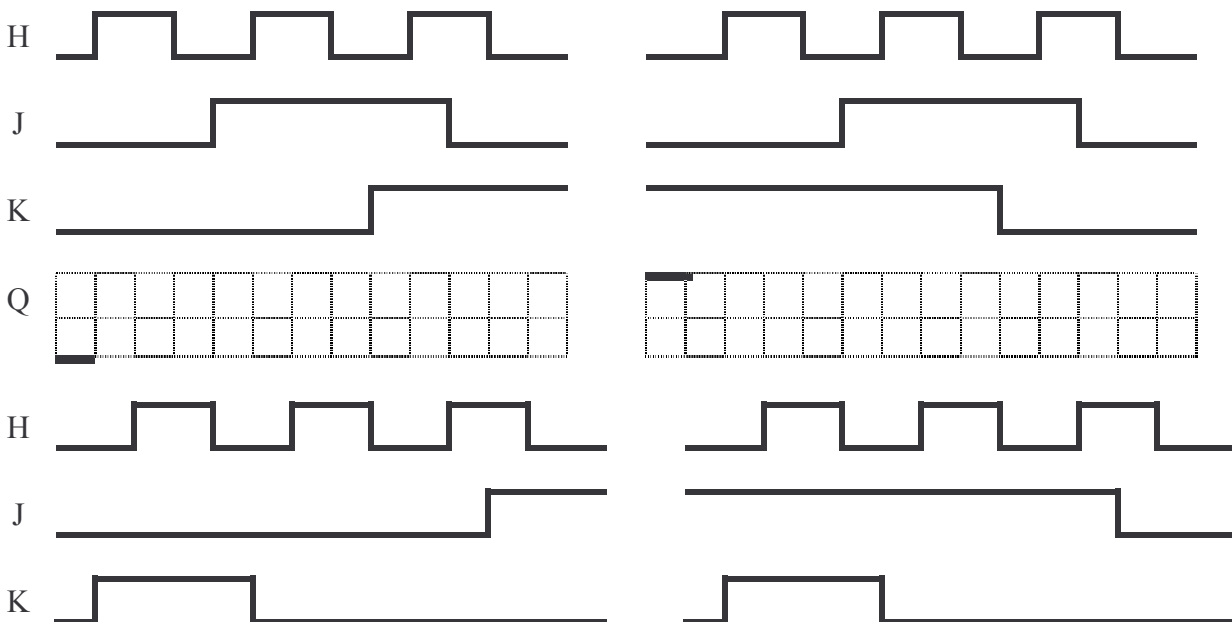


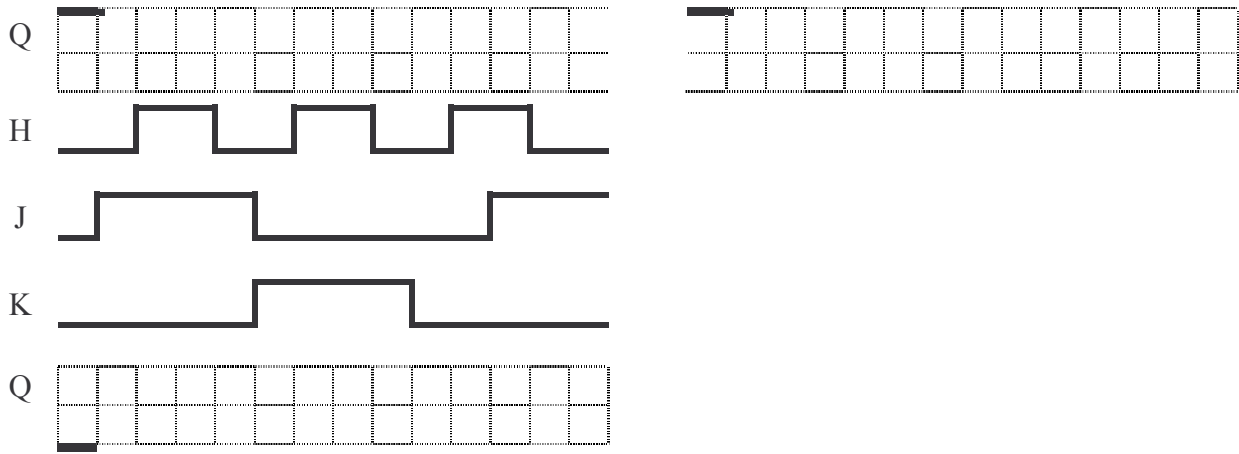


5. Rappelez le fonctionnement d'une bascule M/S puis compléter les chronogrammes suivants :



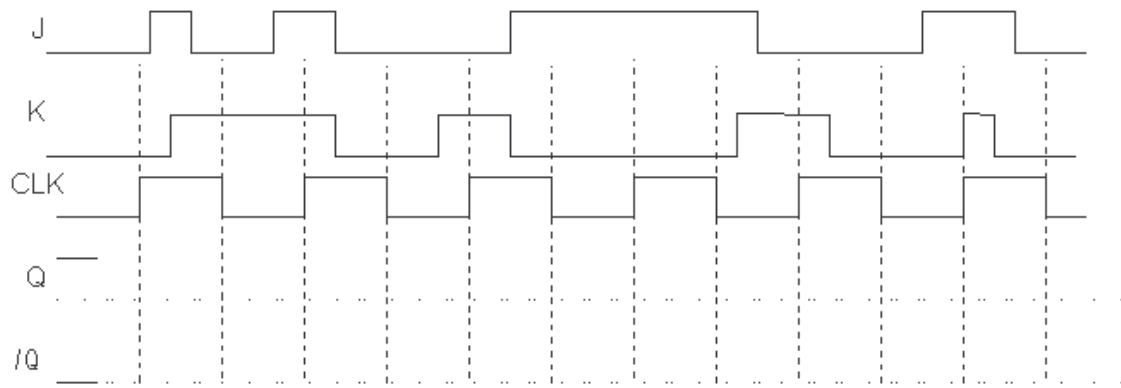
6. JK DATA LOCK OUT





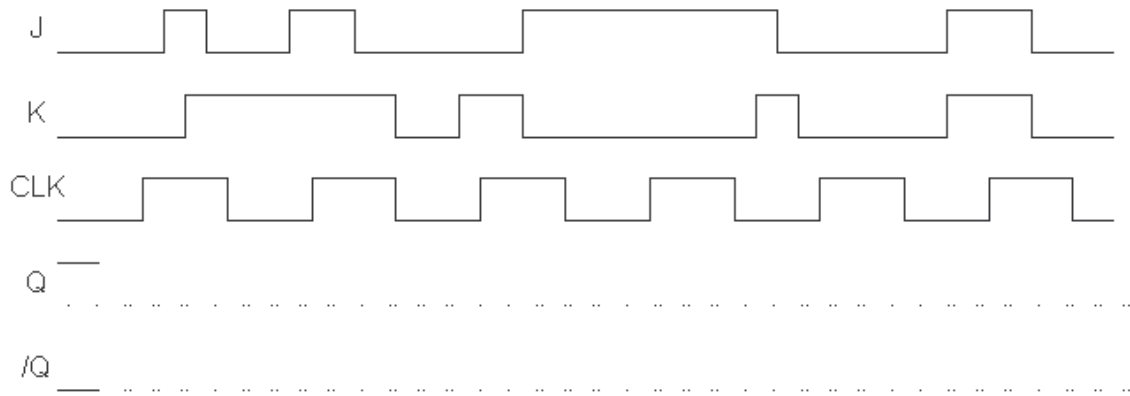
7. Completez le chronogramme suivant pour la bascule JK FlipFlop M/S en supposant qu'il n'y a pas de problèmes sur les transitions d'horloge :

Master-Slave J-K Flip-Flop



8. Completez le chronogramme suivant pour la bascule JK FlipFop PET

Positive-Edge-Triggered J-K Flip-Flop

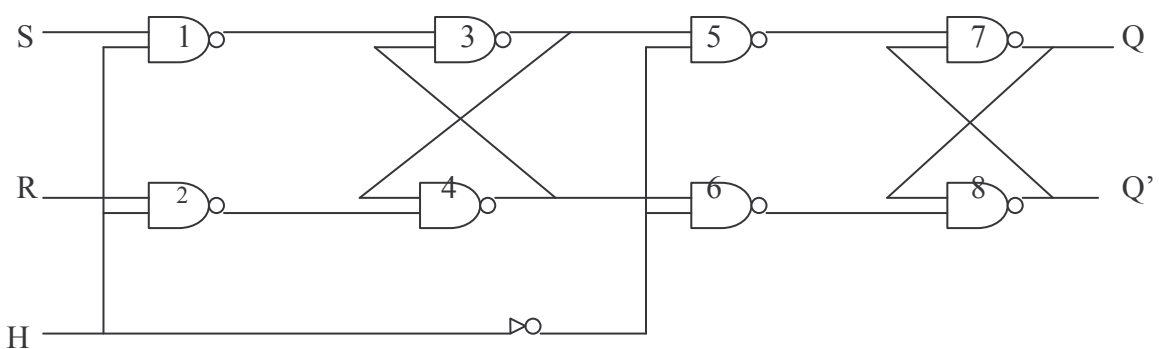


TD LOGIQUE n°3:
Analyse Asynchrone

Exercice 1 : Bascule RS Maître-Esclave en mode fondamental

Le circuit de la bascule est représenté sur la figure ci-dessous.

1. Tracer le graphe de connexion et déterminer tous les ensembles de sommets essentiels conduisant au nombre minimum de coupures.
2. On place la coupure c1 juste après la sortie de la porte 3 et la coupure c2 juste après la sortie de la porte 7. La variable « état présent » de la coupure ci est notée y_i et la variable « état suivant » (ou « état futur ») est notée \square_i . Etablir les expressions logiques de \square_1 , \square_2 , Q et Q' en fonction de H, S, R, y_1 et y_2 .
3. Etablir la table de transition (pour $\square_1 \square_2$) et la table de sortie (pour QQ') en mode fondamental suivant le modèle $y_1 y_2 \text{SR} \rightarrow \text{H}=0 \text{ } \square \text{H}=1$.
4. Dessiner le diagramme des transitions en indiquant les sorties uniquement pour les états stables.
5. Retrouver d'après les tables précédentes les mécanismes de mise à 1 et de mise à 0 correspondant au fonctionnement normal de la bascule étudiée
6. D'après les tables précédentes, que se passe-t-il si, à partir de l'état total $\text{HSR}y_1 y_2 = 01100$, H passe à 1 puis revient à 0 ? Ce résultat vous semble-t-il correspondre au fonctionnement réel ? Justifier et commenter la réponse.



Exercice 2 : Synchroniseur de pulse

On veut étudier le fonctionnement en mode fondamental du circuit de la figure 1. H est un signal d'horloge, A un signal de commande destiné à laisser passer ou non le signal d'horloge, M une entrée de sélection du mode de fonctionnement et Z la sortie.

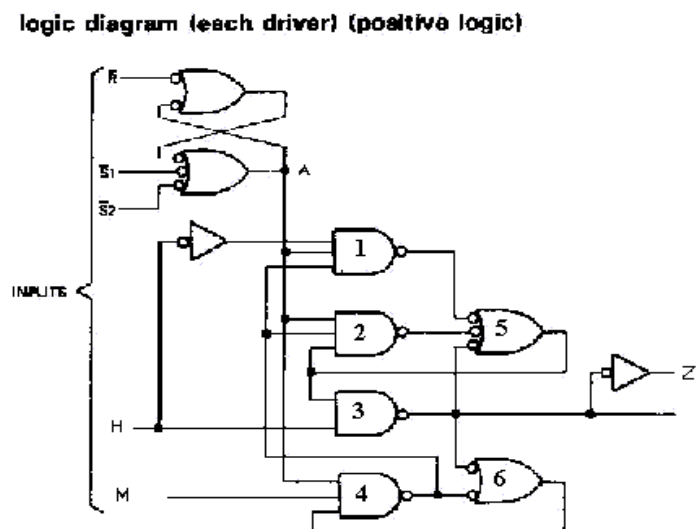


Figure 1 (74120)

1. Tracer le graphe de connexion. Déterminer tous les circuits élémentaires fondamentaux. En déduire quels sont les sommets essentiels conduisant au nombre minimal de coupures.

- On place la coupure c1 après la sortie de la porte 5 et c2 après la porte 6. La variable « état présent » de la coupure ci est notée yi et la variable « état suivant » (ou « état futur ») est notée \square_i . Etablir les expressions logiques de \square_1 , \square_2 et \square en fonction de H, A, M, y_1 et y_2 .
- Etablir la table de transition selon le modèle $y_1y_2 \rightarrow HA \rightarrow M=0 \square M=1$. Le fonctionnement correspondant à cette table est-il satisfaisant ?
- Etude des modes M. Pour $M = 0$, on fait varier A selon le chronogramme de la figure 2. Indiquer sur la même figure la séquence des états internes y_1y_2 et le chronogramme de la sortie \square correspondant. Même question pour $M = 1$ et le chronogramme de la figure 3.
- Le circuit étudié est en fait un 74120 synchroniseur d'impulsion. La notice constructeur indique que pour un mode de fonctionnement, il laisse passer toutes les impulsions d'horloge, tandis que dans l'autre mode, il en laisse passer une seule. Retrouvez vous ce fonctionnement dans les chronogrammes de \square établis au 4 et 5 ?

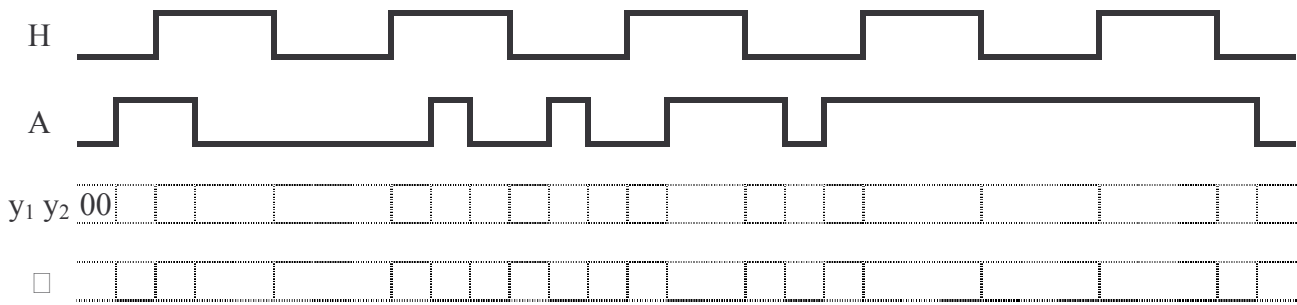


Figure 2 (M = 0)

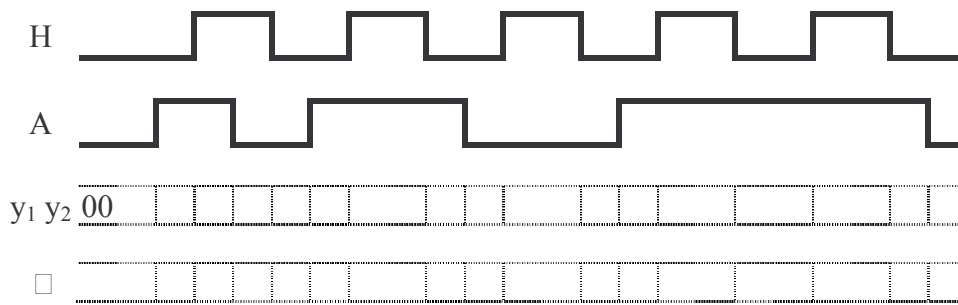


Figure 3 (M = 1)

Exercice 3 : Analyse d'un circuit en mode fondamental

- Sur la figure 1, justifier la prise en compte des deux variables internes \square_1 et \square_2
- Etablir la table de transition du circuit et repérer les états stables.
- En déduire la table de fluence en précisant les différences avec la table de transition précédente.
- Faire le graphe de fluence. Porter sur ce graphe le symbole \square pour les commandes correspondant à l'action $R=1$ et le symbole \uparrow pour les commandes correspondant à l'événement front montant de P. Quels sont les rôles de P et de R ?

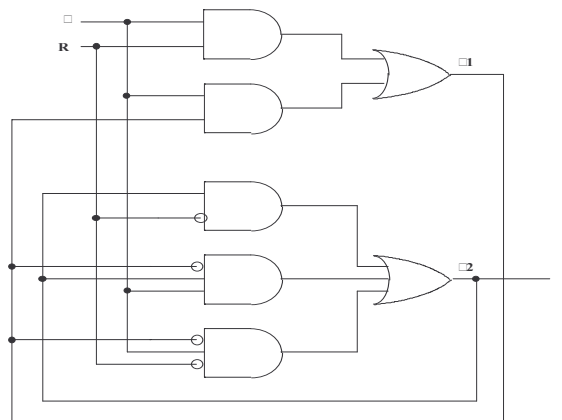
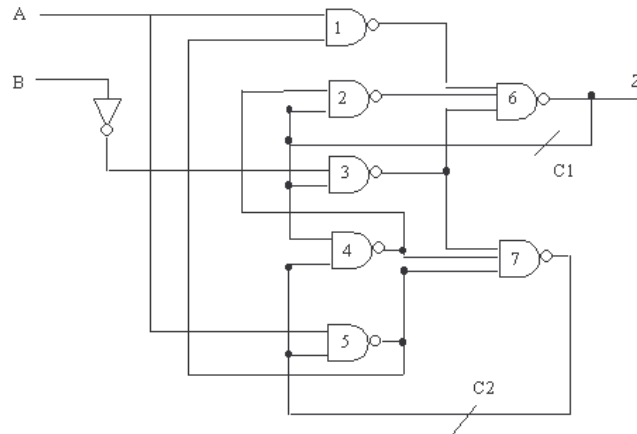


FIGURE 1

Exercice 4 : Analyse d'un circuit en mode fondamental (septembre 2005)

On veut étudier le fonctionnement en mode fondamental du circuit représenté sur la figure ci dessous :



- On place la coupure C_1 après la sortie de la porte n°6 et la coupure C_2 après la sortie de la porte n°7. La variable « d'état présent » de la coupure C_i est notée y_i et la variable « d'état futur » correspondante \square_i . Etablir les expressions logiques de \square_1 et \square_2 ainsi que de la sortie \square en fonction de A, \square et y_1 et y_2 .
- Etablir la table de transition. Pour ce faire, on utilisera le format suivant :

	A \square		
$y_1 y_2$		00	01
00			
01			

- Dessiner le graphe (ou diagramme) des transitions puis le graphe de fluence.
- Compléter le chronogramme de la figure n°2 où A et \square sont les entrées. Comme cela est déjà fait pour la première variation de A et \square , indiquer les valeurs de $y_1 y_2$ et le chronogramme de la sortie \square . Peut-on réaliser ce chronogramme avec une bascule SR si l'on considère que \square est la sortie Q de la bascule. Dans l'affirmative, identifier les entrées S et R avec A et \square .
- Compléter de la même manière le chronogramme de la figure n°3. Comme cela est déjà fait pour la première variation de A et \square , indiquer les valeurs de $y_1 y_2$ et le chronogramme de la sortie \square . Peut-on réaliser ce chronogramme avec une bascule SR si l'on considère que \square est la sortie Q de la bascule. Justifier.
- Peut-on établir pour ce circuit une table de transition du type $Q^{\square} = f(A, \square, Q)$? Justifier.

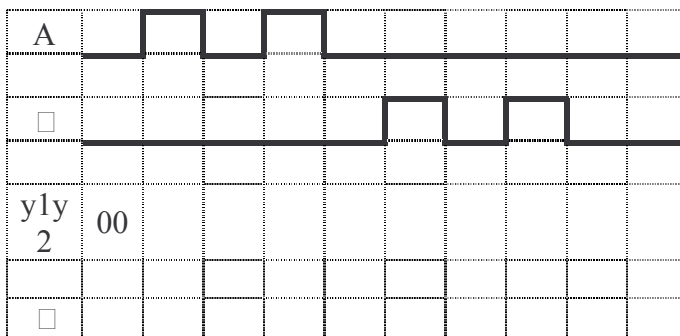


Figure 2

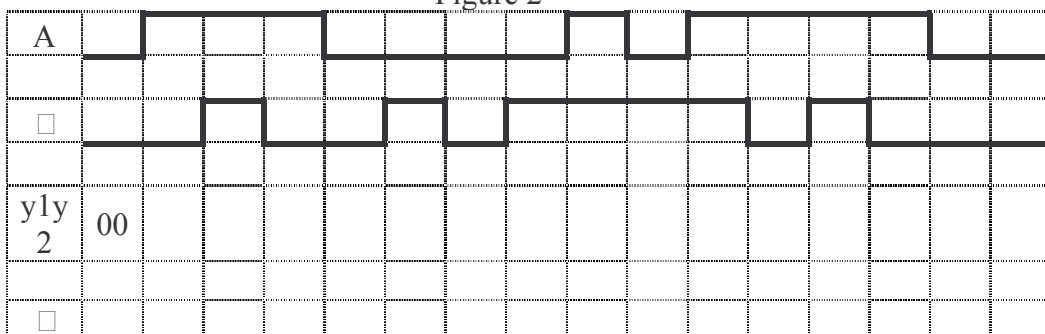
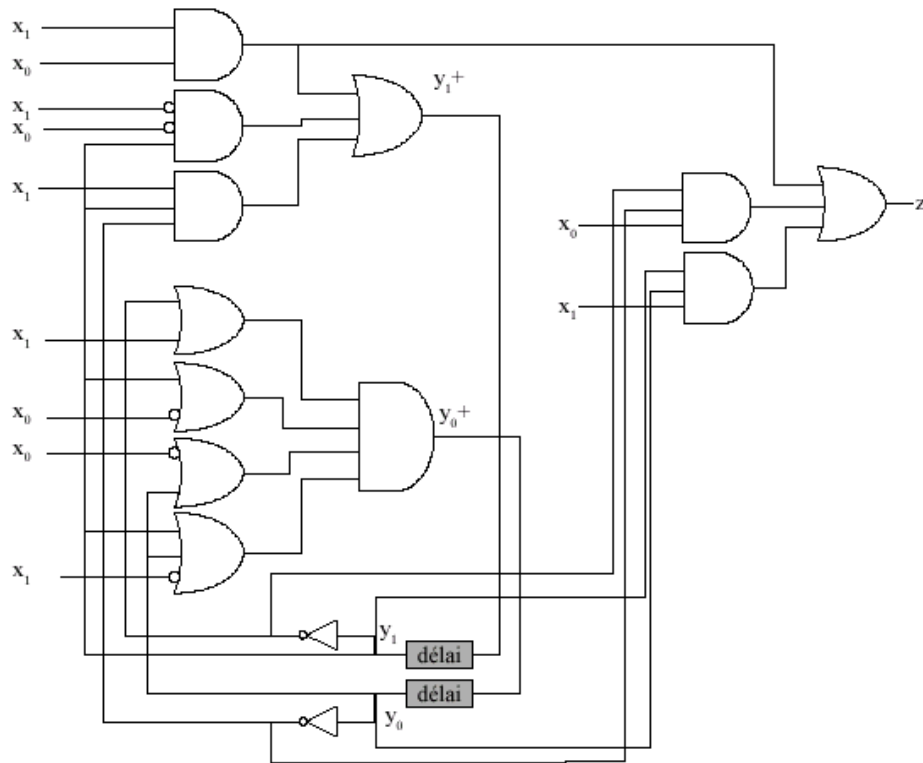


Figure 3

Exercice 5 :

Un constructeur inexpérimenté a fait cette machine à état asynchrones qui possède plusieurs problèmes. Effectuez une analyse complète pour identifier ces circuits



1. Donnez l'expression des sorties
2. Donnez l'expression des états futurs
3. Complétez le tableau de transition sous la forme

	x_1x_0				
y_1y_0		00	01	11	10
00					
01					

4. Identifiez s'il y a des courses critiques
5. Identifiez les éventuels aléas (sur états futurs et la sortie)
6. Donnez le tableau d'états
7. Dessinez le graphe de séquence

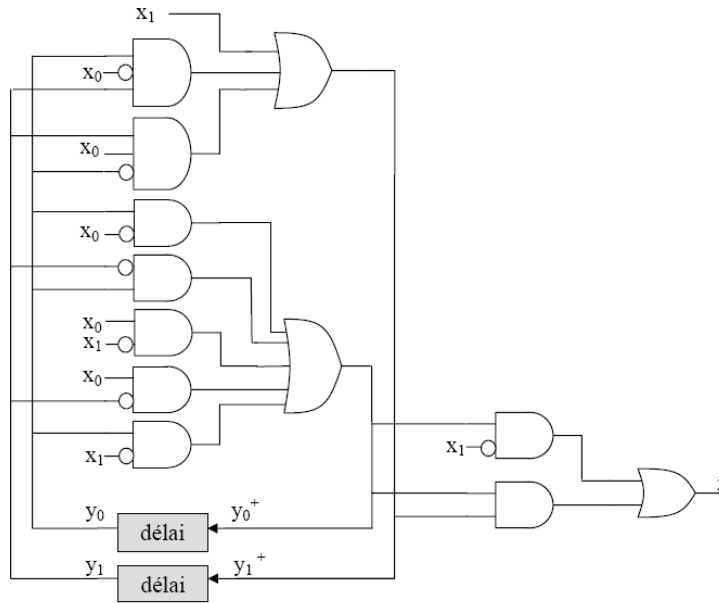
Exercice 6 :

1. Donnez l'expression des sorties
2. Donnez l'expression des états futurs
3. Complétez le tableau de transition sous la forme

	x_1x_0				
y_1y_0		00	01	11	10
00					
01					

4. Identifiez s'il y a des courses critiques
5. Identifiez les éventuels aléas (sur états futurs et la sortie)

6. Donnez le tableau d'états
7. Dessinez le graphe de séquence



Exercice 7 : Dispositif anti-rebond (septembre 2002)

On est souvent amené à commander un état physique à l'aide d'un bouton poussoir ou d'un inverseur (par exemple les touches d'un clavier). Cependant lorsque l'on ferme un interrupteur (\square) le contact n'est pas franc et il est possible d'observer une série de rebonds du signal (Q) avant d'obtenir la position fermée.

La figure 1 montre le montage incriminé. On considère que lorsque \square est ouvert $Q=1$ et \square est fermé $Q=0$.

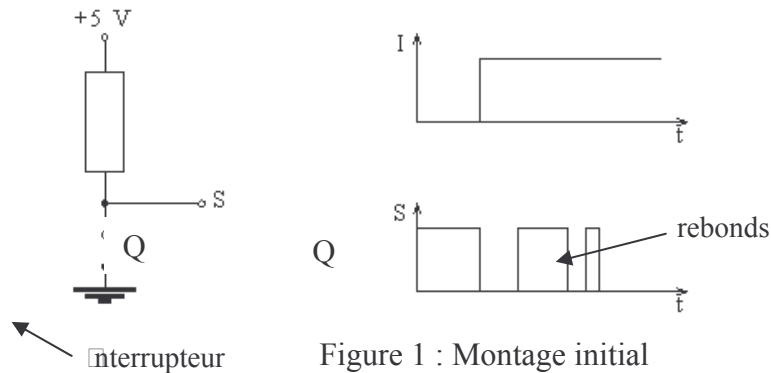


Figure 1 : Montage initial

Pour éviter ce défaut on réalise le montage de la figure 2.a. Pour ce montage, on considère l'entrée à 0 lorsqu'elle est reliée à la masse et à 1 lorsqu'elle est reliée au 5V.

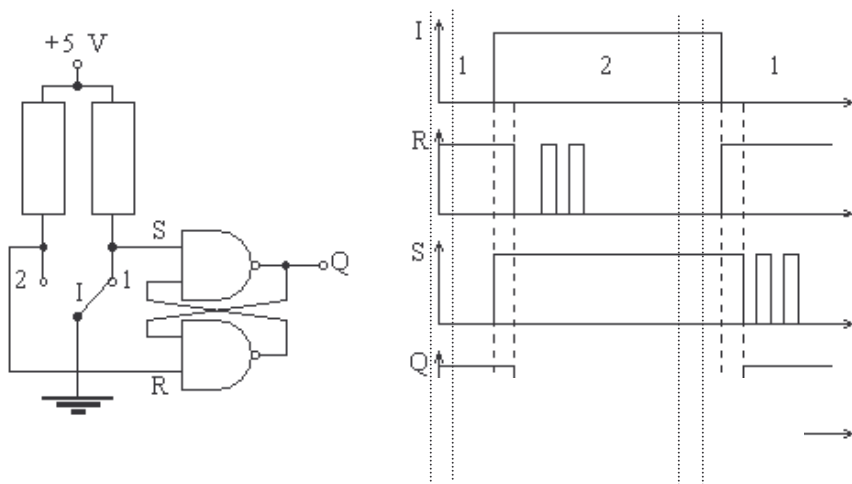


Figure 2.a : Montage corrigé

figure 2.b. : Chronogramme

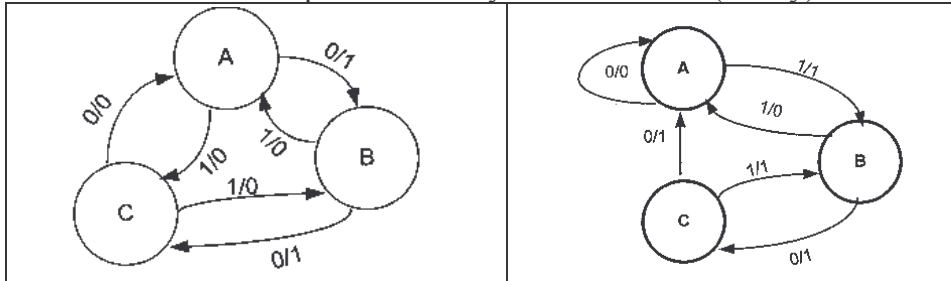
On cherche à analyser le fonctionnement du montage de la figure 2.a, pour cela on considère que la sortie de la machine logique est Q et les entrées sont S et R.

1. Déterminer les coupures sur le montage de la figure 2.a. afin de séparer l'état présent de l'état futur.
2. Ecrire les équations d'évolution des différents variables d'état ainsi que l'équation de sortie Q de la machine logique. D'après l'expression de l'équation de sortie, de quelle type de machine logique s'agit-il (justifier)?
3. Donner la table de transition donnant les variables d'état futur en fonction des autres variables (ou entrées) de la machine logique.
4. Dessiner le graphe de transition.
5. A partir de ce graphe, compléter l'évolution de la sortie Q dans la figure 2.b. Quel est le rôle de ce montage ?

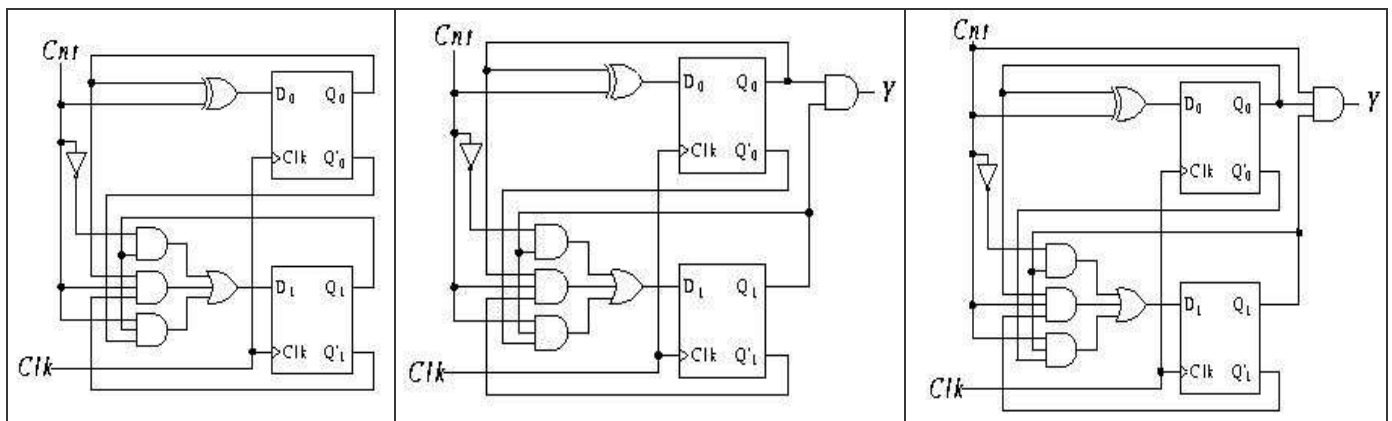
TD LOGIQUE n° :
 eal oore Analyse Synchrone

Exercice 1 : Passage eal à oore

Donner les machines de Moore équivalente aux systèmes suivants (Mealy):



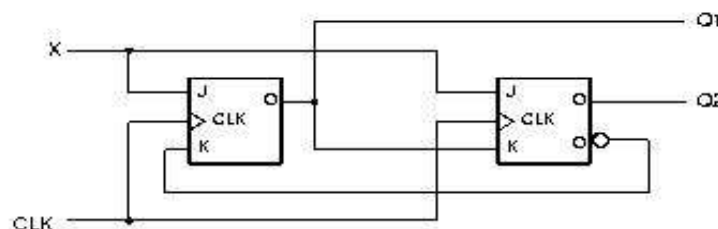
Exercice 2 : Analyse d'une machine sans sortie, de eal de oore



Identifier la machine sans sortie, de Moore et de Mealy puis donner les tables de transition et de sortie ainsi que le diagramme des états. Quelle est la fonction réalisée?

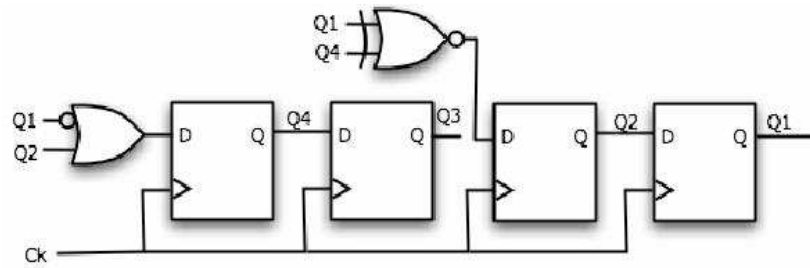
Exercice 3 : analyse

Le système synchrone ci-dessous est constitué de 2 bascules JK à déclenchement sur front montant. Les sorties du système sont les sorties Q_A, Q_B , des bascules A, B.



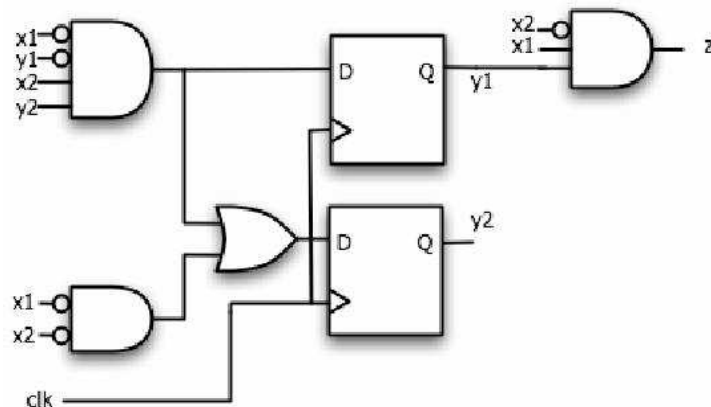
- 1) Etablir les équations d'excitation des différentes bascules.
- 2) En déduire la table de transition / sortie de la machine logique.
- 3) Etablir le graphe de fonctionnement
- 4) En déduire la fonction logique réalisée.

Exercice : Analyse



- 1) Etablir les équations d'excitation des différentes bascules.
- 2) En déduire la table de transition de la machine logique.
- 3) Donner le cycle si on initialise en $Q_4Q_3Q_2Q_1 = 0000$. Que se passe-t-il si on initialise en 1111?

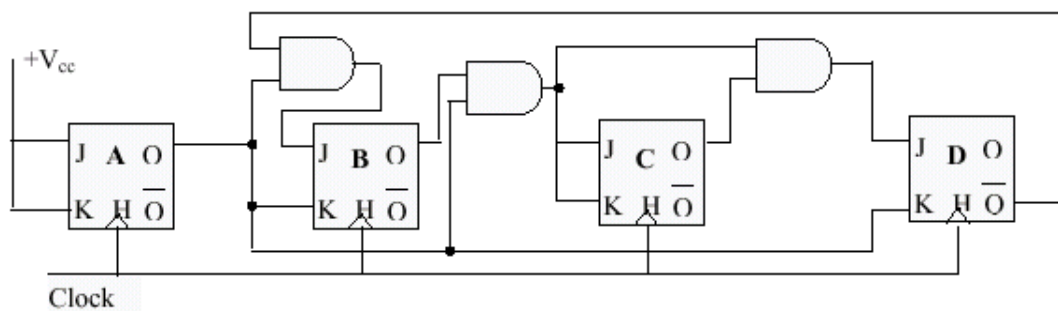
Exercice □: Analyse



- 1) Machine de Moore ou Mealy ? Justifier.
- 2) Etablir les équations d'excitation des différentes bascules.
- 3) En déduire la table de transition / sortie de la machine logique.
- 4) Etablir le graphe.

Exercice □: Analyse (examen juin 2002)

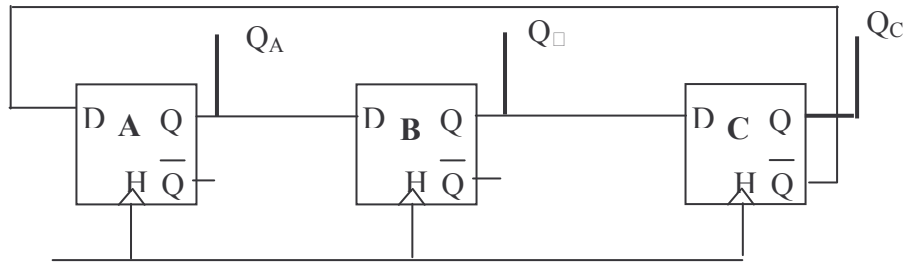
Les sorties du système sont les sorties Q_A, Q_B, Q_C, Q_D . des bascules A, B, C, D.



- 1) Etablir les équations d'excitation des différentes bascules.
- 2) En déduire la table de transition de la machine logique.
- 3) Déduire à partir de la table de sortie ou du graphe de la machine, la fonction logique réalisée.
- 4) Existe-t-il des états hors cycle ? Dans ce cas, sont-ils correctement traités ? (reviennent-ils dans le cycle? reviennent-ils en 0 (init)?)

Exercice 7 : Analyse (examen juin 2004)

Le compteur par 6 dit de « Johnson » donné ci-dessous se bloque régulièrement ce qui laisse à penser qu'un aléa de fonctionnement n'a pas été vu lors de la synthèse de ce compteur. Aussi, on vous demande d'analyser ce compteur afin de corriger ce dysfonctionnement. La sortie de ce compteur est $Q_C Q_B Q_A$.

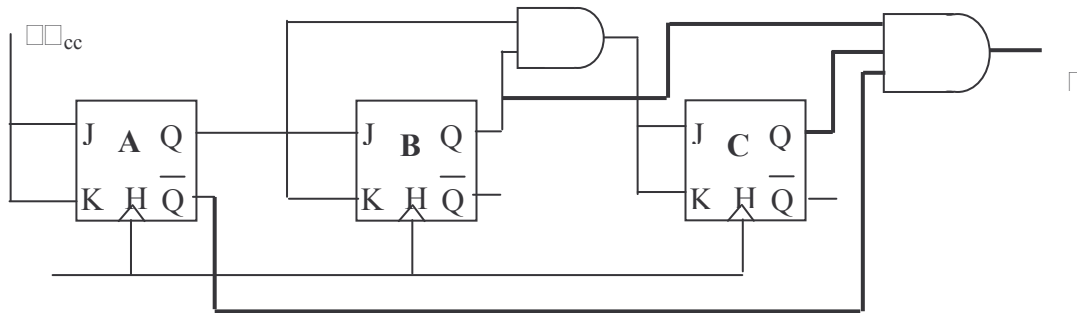


S'agit-il d'une machine de Moore ou de Mealy ? Justifier.

- Déterminez les équations des excitations des bascules, puis écrire la table de transition de ce compteur.
- Tracer le graphe des transitions. Identifier le cycle nominal ainsi que le cycle piège à l'origine de l'aléa.
- Question de synthèse :

Ce compteur est vendu sous forme de circuit intégré dans le commerce. Comment peut-on obtenir un compteur par 6 comptant en binaire naturel à partir de ce circuit et des portes logique combinatoire ? Donner les expressions des nouvelles sorties $Q_2Q_1Q_0$ en fonction de $Q_CQ_BQ_A$ en utilisant la méthode du coût minimal.

Exercice 1: Analyse (examen sept 2003)



- Établir les équations d'excitation des bascules.
- En déduire la table de transition/sortie du système.
- En déduire la fonction logique réalisée.

Exercice 2: Analyse (voir exemple de CM)

Cette machine est synchrone sur front montant de l'horloge (non représentée). Les sorties sont $S_3S_2S_1S_0$.

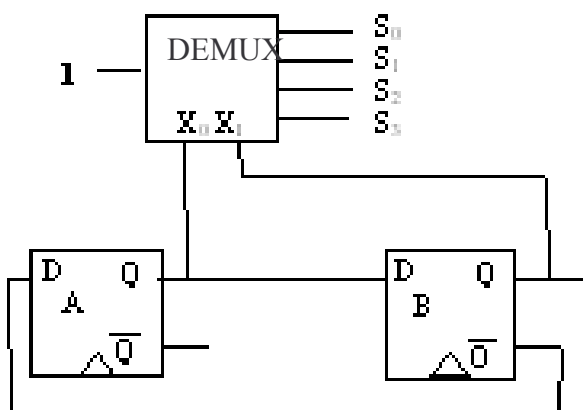


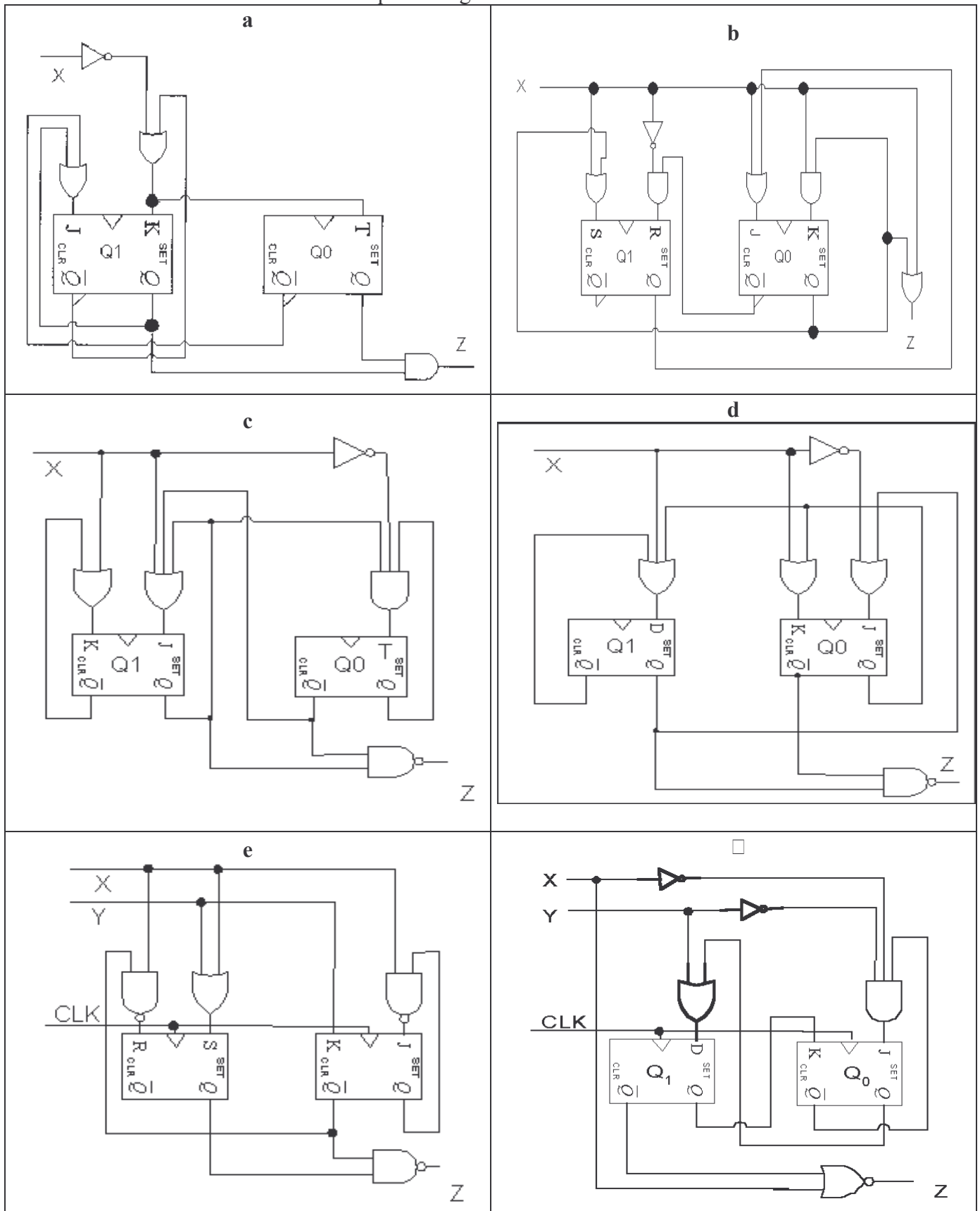
Table de vérité du démultiplexeur

X_1	X_0	S_0	S_1	S_2	S_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

- Préciser, en justifiant, s'il s'agit d'une machine de Moore ou de Mealy.
- Ecrire les équations d'excitation des bascules.
- Donner la tables de transition de cette machine.
- Donner la table de sortie en sachant que la table de vérité du démultiplexeur est la suivante :
- Dessiner le diagramme de transition.
- Donner la séquence de sortie définissant le cycle nominal de cette machine.

Exercice 10 : Analyse (exercices d'entraînement)

Pour chacun des systèmes suivants, préciser s'il s'agit d'une machine de Moore ou de Mealy puis donner les tables de transition et de sortie ainsi que le diagramme des états.

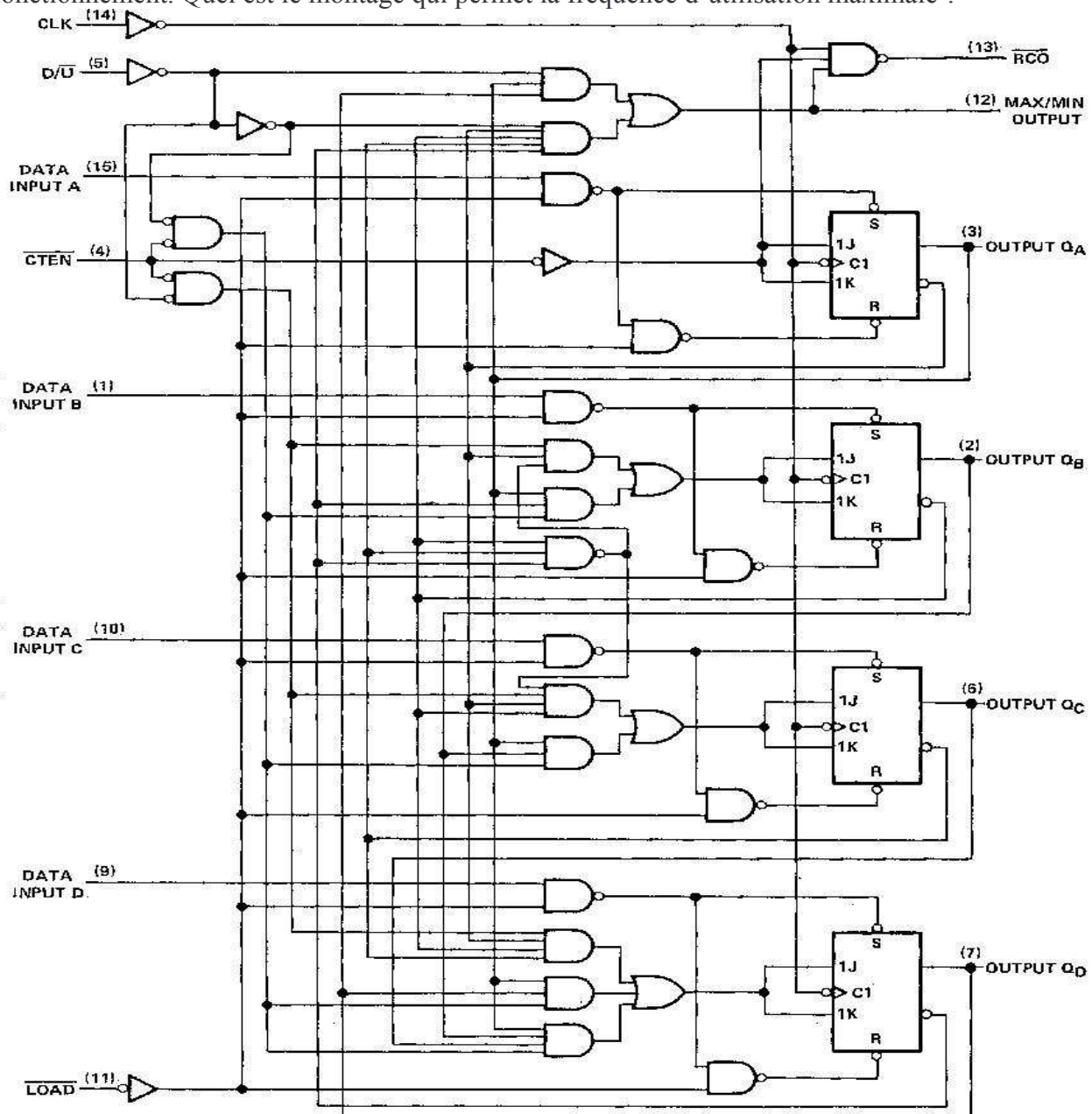


TD LOGIQUE n° :
Analise Sychrone Compteurs Intégrés

Exercice 1 : Analise du Compteur/Décompteur BCD Sychrone

Le circuit 7410 est un compteur/décompteur (selon Do/n/Up) CD synchrone autocorrecteur. Il est constitué de 4 bascules JK montées en bascules T (voir schéma logique ci-dessous).

- 1) En notant Di les entrées DATA INPUT, exprimer les entrées de forçages Si et Ri en fonction de Di et LOAD. Quel est alors le rôle de l'entrée de forçage LOAD ?
- 2) Calculer les excitations des bascules (les Ti) et montrer qu'elles peuvent se mettre sous la forme $CTEN.(D/\bar{U} \times \bar{D}/\bar{U}) \circ X$ et \square sont des fonctions que l'on ne cherchera pas à expliciter. Quel est alors le rôle de l'entrée asynchrone CTEN ?
- 3) On suppose LOAD inactif et CTEN actif. Etablir les expressions des excitations des bascules.
- 4) En déduire la table de transition selon 2 modes D/\bar{U} et \bar{D}/\bar{U} . A quoi correspondent ces modes ?
- 5) Donner les cycles dans les 2 modes.
- 6) Calculer les équations des sorties Max/Min Output et RCO puis expliquer leur fonctionnement.
- 7) Réaliser un afficheur 3 chiffres (centaines - dizaines - unités) en connectant 3 compteurs en mode asynchrone, synchrone (propagation en cascade) et synchrone avec propagation anticipée. Analyser le fonctionnement. Quel est le montage qui permet la fréquence d'utilisation maximale ?



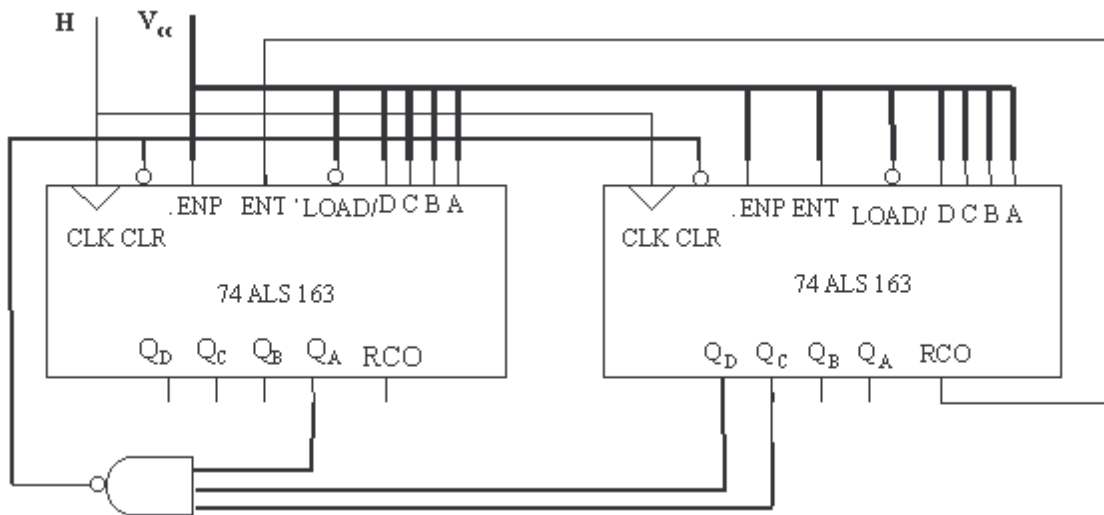
Exercice 2 : Analyse d'un circuit a base de compteurs 74ALS163 (examen Juin 2003)

Le compteur binaire 74 ALS 163 est un circuit synchrone avec plusieurs entrées de forçage asynchrones (figure cidessous). L'entrée CLEAR est prioritaire sur l'entrée LOAD qui elle-même est prioritaire sur ENP et ENT. Les rôles de ces entrées sont les suivants :

- CLR : Entrée qui remet à 0 toutes les sorties $Q_A=0, Q_B=0, Q_C=0, Q_D=0$ lorsque CLR est au niveau bas.
- LOAD : Entrée de forçage de chargement des informations (A, B, C, D) : lorsque LOAD=1 les sorties deviennent : $Q_A=A, Q_B=B, Q_C=C, Q_D=D$.
- ENT et ENP : Ces entrées, lorsqu'elles sont au niveau haut, autorisent le comptage, sinon les sorties sont bloquées.
- RCO : Retenue sortante, ce signal passe au niveau haut lorsque $Q_A=1, Q_B=1, Q_C=1, Q_D=1, ENT=1$ et $ENP=1$.

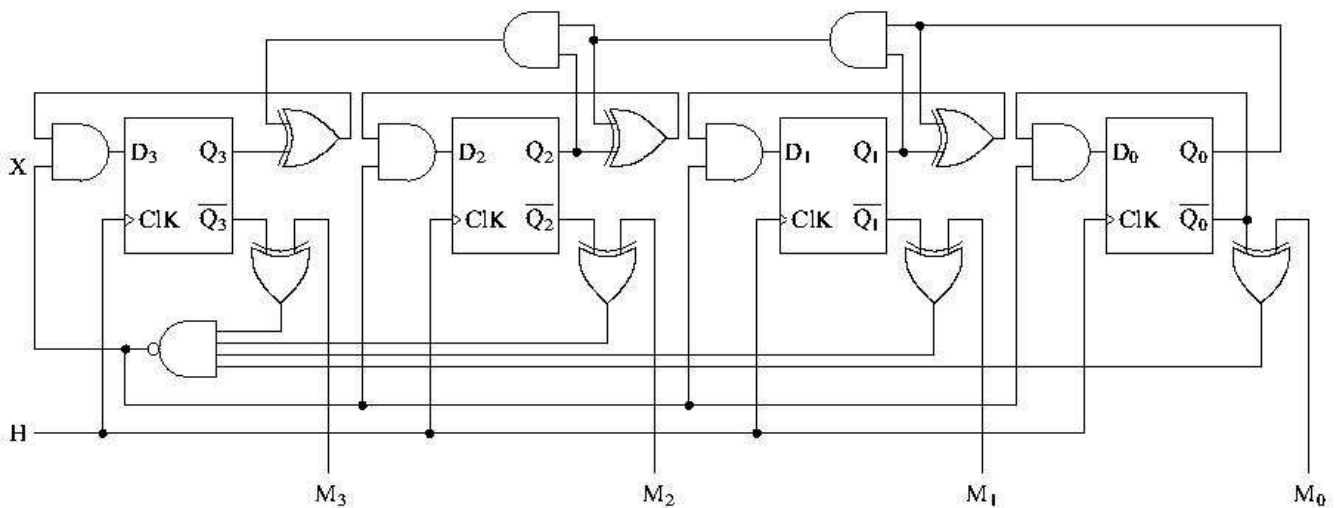
Considérons le montage ci-dessous utilisant deux 74 ALS 163 :

1. Donner le nombre de bits du compteur 74 ALS 163. Donner le nombre maximal représentable par ce compteur.
2. Quel est le rôle de la liaison \overline{CC} ?
3. Quel est le rôle de la liaison RCO vers ENT ?
4. Quelle est la fonction réalisée par ce comptage ? Justifier.



Exercice 3 : Analyse d'un compteur programmable

On veut étudier le fonctionnement du compteur dont le schéma logique est donné sur la figure ci dessous. Le compteur est basé sur les sorties $Q_3Q_2Q_1Q_0$ de 4 bascules D déclenchées sur le front montant d'un signal de commande CLK.



1. Déterminer la fonction logique « X ».
2. Montrer que cette fonction peut s'exprimer à partir des variables logiques Q_i et M_i ($i = 0, 1, 2, 3$) sans utiliser leur compléments.
3. Exprimer les fonctions logiques $D_i = F_i(X, Q_3, Q_2, Q_1, Q_0)$. Montrer que ces fonctions peuvent se mettre sous la forme $F_i(X, Q_3, Q_2, Q_1, Q_0) = X f_i(Q_3, Q_2, Q_1, Q_0)$.
4. On impose $M_3M_2M_1M_0 = 0100$. Ecrire la table de transitions de ce compteur lorsque celui-ci est initialisé à $Q_3Q_2Q_1Q_0 = 0000$.
5. Quel est le modulo de ce compteur ? Quel cycle suit-il ?
6. En déduire le rôle de l'entrée M_i .

Exercice 2 : Analyse d'un compteur (examen juin 2006)

Un système synchrone de la figure 1 est constitué de quatre bascules JK à déclenchement sur front montant. Les sorties du système sont les sorties des bascules Q_1, Q_2, Q_3, Q_4 .

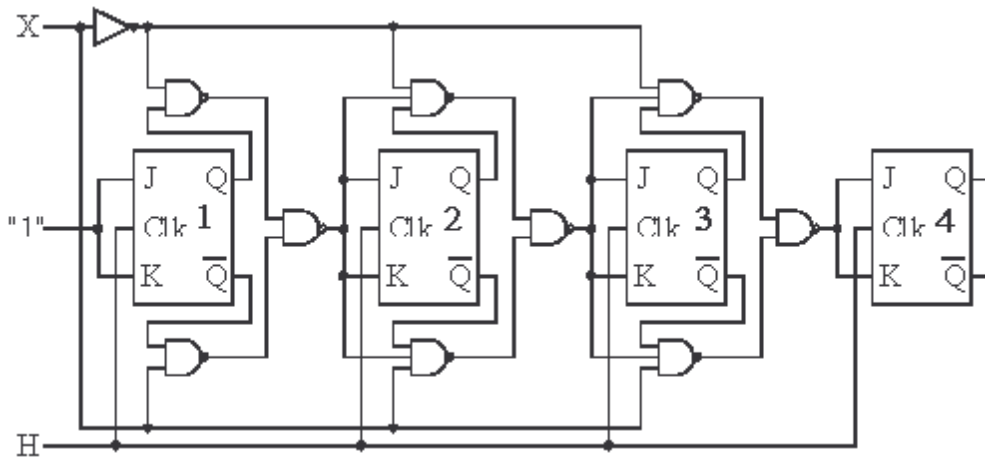


Figure 1

1. Écrire l'équation de transition d'une bascule JK. Expliquer le fonctionnement de cette bascule lorsque $J=K$? Dans ce cas, comment appelle-t-on ce type bascule ?
2. Déterminer les équations de $J_1, K_1, J_2, K_2, J_3, K_3, J_4$ et K_4 en fonction de X, Q_1, Q_2, Q_3, Q_4 . Quel est le rôle du signal X ?
3. Écrire la table de transition de cette machine lorsque $X=0$.
4. Dans ce cas ($X=0$), quel est le rôle de cette machine ?
5. (Question de cours) Déduire de la réponse précédente, la fonction de ce circuit lorsque $X=1$. Comment appelle-t-on le type de report (propagation) des excitations des bascules de ce circuit ? Quel est son inconvénient majeur ?

Exercice 3 : Séquence de comptage non ordinaires avec compteur intégré 74163

On utilise un compteur 74163 (voir exercice 2).

1. On connecte $A \square CD = 1010$, $/Q_A / Q_B / Q_C / Q_D$ sur l'entrée $/LOAD$ active à l'état bas. ENP, ENT et $/CLR$ sont mise à 1. Quelle est la séquence de comptage réalisée ?
2. On connecte $/Q_B / Q_D$ sur l'entrée $/CLR$ active à l'état bas. ENP, ENT et $/LOAD$ sont mise à 1. Quelle est la séquence de comptage réalisée ?
3. On connecte $A \square CD = 1100$, $/Q_C / Q_D$ sur l'entrée $/LOAD$ active à l'état bas. ENP, ENT et $/CLR$ sont mise à 1. Quelle est la séquence de comptage réalisée ?

TD LOGIQUE n° :
Introduction à la Synthèse : Réduction - Comptage

Exercice 1 : Simplification - réduction des états (table des implications)

Pour chaque table des états, dressez la table des implications qui mène au codage minimal des états.

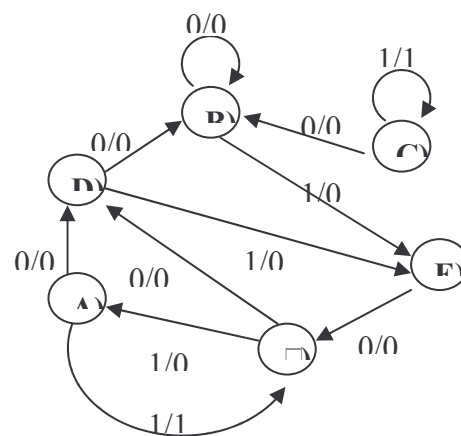
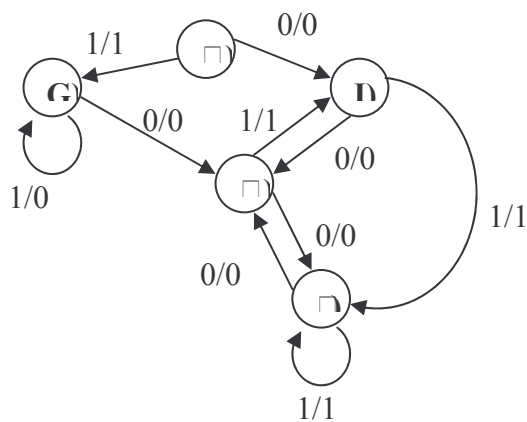
Etats	entrée x=0	entrée x=1
A	□ / 0	C / 1
□	□ / 1	D / 0
C	C / 0	□ / 0
D	□ / 0	C / 1
E	F / 0	□ / 1
F	C / 1	E / 0
□	C / 0	F / 0

Etats	entrée x=0	entrée x=1
A	A / 0	□ / 0
□	C / 1	D / 0
C	E / 0	F / 0
D	□ / 0	H / 0
E	A / 0	□ / 0
F	C / 0	D / 0
□	E / 0	F / 0
H	□ / 0	H / 0

Etat Présent (Q)	Etat Futur (Q')				Sortie (□)			
	E=0		E=1		E=0		E=1	
	0	1	1	0	0	1	1	0
1	1	4	-	7	0	-	0	-
2	-	4	5	-	-	1	0	1
3	-	2	11	6	1	1	1	-
4	4	-	7	-	0	-	-	1
5	4	-	7	1	0	0	-	1
6	-	-	□	10	1	-	-	1
7	4	-	7	1	-	-	-	1
8	4	-	□	10	1	-	0	-
□	-	8	□	10	1	-	-	1
10	4	8	-	10	-	-	0	1
11	-	1	1	-	0	-	0	-

Exercice 2 : Réduction de graphes

Pour chaque graphe déterminez (si c'est possible) le graphe réduit. Dressez la table de transition puis la table des implications, enfin dessinez le graphe final (obtenu après réduction).



Exercice 3 : Synthèse d'un décompteur binaire synchrone 3 bits

On veut réaliser un décompteur complet (sans états hors cycle) synchrone 3 bits où les états internes seront codés en binaire naturel.

La synthèse se fera selon la méthode du coût minimal et on utilisera des bascules telles que le CCS (Circuit combinatoire de Sortie soit minimal), c'est à dire que chaque sortie des bascules représente une sortie du système complet.

1. Donner le cycle de décomptage. Combien de bascules sont-elles nécessaires pour réaliser ce cycle ?
2. Quel type de bascule doit-on choisir pour cette synthèse de manière à minimiser le CCS ?
3. Etablir la table de transition / excitation des bascules donnant le fonctionnement synchrone spécifié.
4. Déterminez les expressions booléennes correspondant à la solution minimale en utilisant les tableaux de Karnaugh.
5. Dessiner le schéma (logigramme) du circuit correspondant.

Exercice 1 : Synthèse d'un compteur synchrone (examen sept 1 2006)

On veut réaliser un compteur synchrone fonctionnant selon le cycle (a-b-c-d-e-f-a-b-etc...) où les états internes seront codés de la façon suivante :

	Q1	Q2	Q3
a	0	0	0
b	0	1	0
c	1	0	0
d	0	0	1
e	0	1	1
f	1	0	1

On utilise pour cela des bascules JK. Ces bascules sont munies d'une remise à zéro asynchrone active à l'état bas

1. Combien de bascules sont-elles nécessaires pour réaliser ce cycle de comptage ?
2. Etablir les tables d'excitation des bascules donnant le fonctionnement synchrone spécifié.
3. Déterminez les expressions booléennes correspondant à la solution minimale en utilisant les tableaux de Karnaugh et dessiner le schéma du circuit correspondant.
4. Etudier le fonctionnement complet du compteur pour la solution précédente et tracer le graphe correspondant. Ce fonctionnement est-il satisfaisant (états pièges) ?
5. Proposer un montage permettant l'initialisation automatique du compteur en « a » à la mise sous tension.

Exercice 2 : Compteur avec entrée de validation (examen sept 2002 CC exemple 1)

On désire faire la synthèse d'une machine synchrone (horloge : H) possédant une entrée E et 4 sorties (S₁, S₂, S₃, S₄). Cette machine compte en BCD le nombre de fronts d'horloge actif (front montant) lorsque l'entrée E est à un niveau haut sinon elle reste bloqué sur la dernière valeur comptée lorsque l'entrée E est à un niveau bas. On utilisera des bascules D et la méthode du coût minimal pour cette synthèse.

1. Construire le graphe des états de ce compteur :
2. En utilisant le graphe, un codage binaire naturel et la méthode du coût minimal, tracer la table de transition/sortie. On utilisera un codage d'état comportant toutes les variables d'état à 0 lorsque aucun front n'a été détecté. Quels sont les avantages de ce codage ?
3. En utilisant des bascules D avec entrées de forçage asynchrone actives à l'état bas, donner les équations d'excitations des bascules.
4. Dessiner le logigramme.
5. En cas d'existence d'état hors cycle, déterminer l'état suivant et compléter le graphe d'états tracé au 1.
6. Proposer une solution pour garantir un retour immédiat à l'état initial en cas d'initialisation hors cycle que veuillez vous assurez que ceux-ci sont correctement codés.
7. Compléter le logigramme précédent.

Exercice 3 : Synthèse d'un compteur synchrone



Effectuer la synthèse du compteur (binaire) qui respecte le cycle ci-dessus en utilisant 2 bascules ($o \square \square_0$ est une bascule JK et \square_1 une bascule T). La sortie est un nombre de 2 bits qui représente la valeur non-signée du nombre décimal compté. Le circuit possède 2 entrées (de commande). C pour le comptage et R pour le reset. Quand R vaut 1, le compteur revient à son état initial 1. En fonctionnement normal, R vaut 0. Lorsque C vaut 1 le compteur fonctionne, sinon il s'arrête. La synthèse se fera avec une machine de Moore et la méthode du risque minimal.

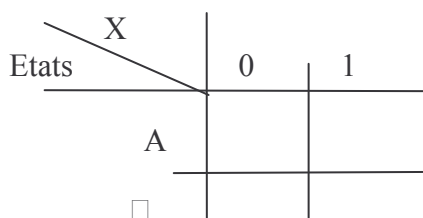
- Pourquoi est-ce que 2 bascules suffisent ?
- Etablir le graphe des états.
- Etablir la table de transition/sortie du système ainsi que les excitations des bascules.
- Dessiner le logigramme

TD LOGIQUE n° :
Synthèse synchrone de compteurs (Suite)
Exercice 1 : Synthèse d'un compteur pair/impair (examen juin 2002)

On désire faire la synthèse d'une machine synchrone (horloge : H) possédant une entrée X et 3 sorties (S_1, S_2, S_3) qui correspondent aux sorties des bascules utilisées. Cette machine possède deux cycles de fonctionnement.

- Lorsque X vaut 0, ce circuit se comporte comme un compteur binaire de nombres pairs : à chaque front actif de H, les sorties évoluent de manière cyclique (0,2,4,0, ...).
- Lorsque X vaut 1, ce circuit se comporte comme un compteur de nombres impairs : à chaque front de l'horloge, la sortie évolue sur le cycle (1,3,5,1, ...).
- Lorsque l'on change la valeur de X, au prochain front de H, la sortie passe au nombre supérieur (modulo 6) dans l'autre cycle.

1. En considérant que le système a pour état initial A, montrer que le fonctionnement du système peut se décrire par un graphe d'état à 6 états (A,B,C,D,E, ...). En déduire la table des états, la tracer de la manière suivante :



2. En utilisant le codage binaire naturel et la méthode du coût minimal, tracer la table de transition/sortie.
3. En utilisant des bascules D avec entrées de forçage asynchrone actives à l'état bas, donner les équations d'excitations des bascules.
4. Dessiner le logigramme.
5. En cas d'existence d'état hors cycle, déterminer l'état suivant et tracer le graphe complet.
6. Proposer une solution pour garantir un retour immédiat à l'état initial A en cas d'initialisation hors cycle que veuillez vous assurer que ceux-ci sont correctement codés.
7. Compléter le logigramme précédent.

Exercice 2 : Synthèse d'un compteur synchrone

Effectuer la synthèse d'un circuit qui compte selon le cycle suivant :



Le résultat est donné directement par les sorties de chaque bascules. Le comptage est autorisé par le biais d'une entrée C. Il s'arrête lorsque C = 0.

1. Combien faut-il d'états internes (ou de bascules) ?
2. Etablir la table de transition du système
3. En tenant compte du nombre de porte logiques de base NAND et NON, déterminer quel type de bascule (D, RS, JK ou T) produit le plus petit circuit combinatoire
4. Dessiner le logigramme correspondant au circuit minimal pour le type de bascule choisi.

Exercice 3 : Synthèse d'un compteur synchrone

Déterminer le codage qui permet de minimiser le CCS (Circuit Combinatoire de Sortie) pour un compteur respectant le cycle suivant :



Effectuer la synthèse du compteur précédent en utilisant 4 types de bascules (D, RS, JK et T)

1. Combien faut-il d'états internes (ou de bascules) ?
2. Etablir la table de transition du système
3. En tenant compte du nombre de porte logiques de base NAND et NON, déterminer quel type de bascule (D, RS, JK ou T) produit le plus petit circuit combinatoire
4. Dessiner le logigramme correspondant au circuit minimal pour le type de bascule choisi.

Exercice 2: Synthèse d'un séquenceur 3 bits (examen juin 2004)

On désire réaliser un séquenceur à 3 bits C, B, A présentant le cycle suivant :

$$CBA = 110, 101, 011, 110, 101, \dots$$

Les bascules utilisées sont des bascules D synchrones actives sur front descendant. La méthode de synthèse sera la méthode du coût minimal. Afin de minimiser le circuit combinatoire de sortie, chaque bit de sortie correspond à la sortie d'une bascule. Cette machine est donc constituée de 3 bascules.

1. Etablir le diagramme des états représentant cette machine.
2. Etablir la table de transition correspondant à ce graphe.
3. En déduire les expressions des excitations des trois bascules.
4. Ecrire la table de transition en complétant les états indéfinis.
5. Tracer le graphe de transition correspondant.
6. Entourer les cycles pièges s'ils existent. Proposer les modifications permettant d'éliminer ces cycles.
7. Tracer le nouveau graphe des états.

Exercice 3: Synthèse d'un séquenceur 4 bits (voir exemple C3, examen juin 2004)

On désire réaliser un compteur 4 bits ayant comme sorties Q_D, Q_C, Q_B, Q_A présentant le cycle suivant :

$$Q_D, Q_C, Q_B, Q_A = 0001, 0010, 0100, 1000, 0001, \dots$$

Les bascules utilisées sont des bascules JK synchronisées sur le front descendant du signal d'horloge H. Ces bascules possèdent des entrées de forçage actives sur niveau bas. La méthode de synthèse sera la méthode du coût minimal.

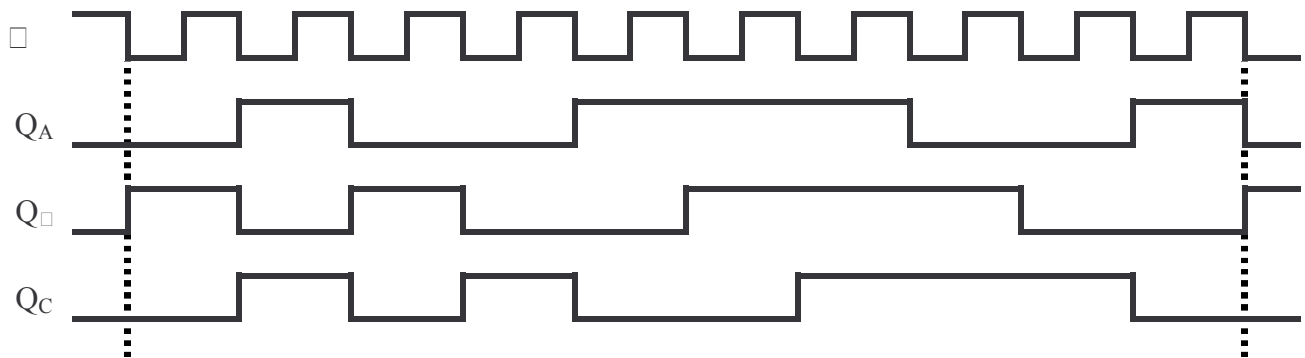
1. Etablir le diagramme des états représentant cette machine.
2. Etablir la table des excitations correspondant à ce graphe.
3. Donner les équations des excitations de chaque bascule.
4. Dessiner le logigramme correspondant.
5. On cherche maintenant à savoir si il existe des cycles pièges (dus aux états hors cycle) et les corriger le cas échéant. Pour cela, écrire la table de transition complète (selon le modèle donné ci-dessous).

$Q_D Q_C Q_B Q_A$	Etat présent				Etat futur			
	$J_D K_D$	$J_C K_C$	$J_B K_B$	$J_A K_A$	Q_D	Q_C	Q_B	Q_A
0 0 0 0	□ □	□ □	□ □	□ □	□	□	□	□
0 0 0 1	□ □	□ □	□ □	□ □	□	□	□	□
0 0 1 0	□ □	□ □	□ □	□ □	□	□	□	□
0 0 1 1	□ □	□ □	□ □	□ □	□	□	□	□

6. Dessiner le graphe des états complet. Mettre en évidence les cycles pièges.
7. Proposer une modification qui ramène la machine dans l'état initial (0001) lorsque celle-ci se trouve dans un état hors cycle nominal.

Exercice 1 : Synthèse d'un compteur synchrone

On veut effectuer la synthèse du compteur à base de bascules JK synchronisées sur front descendant d'horloge (H) qui permet de générer la séquence décrite par le chronogramme suivant (qui représente la sortie des bascules $Q_C Q_B Q_A$) :

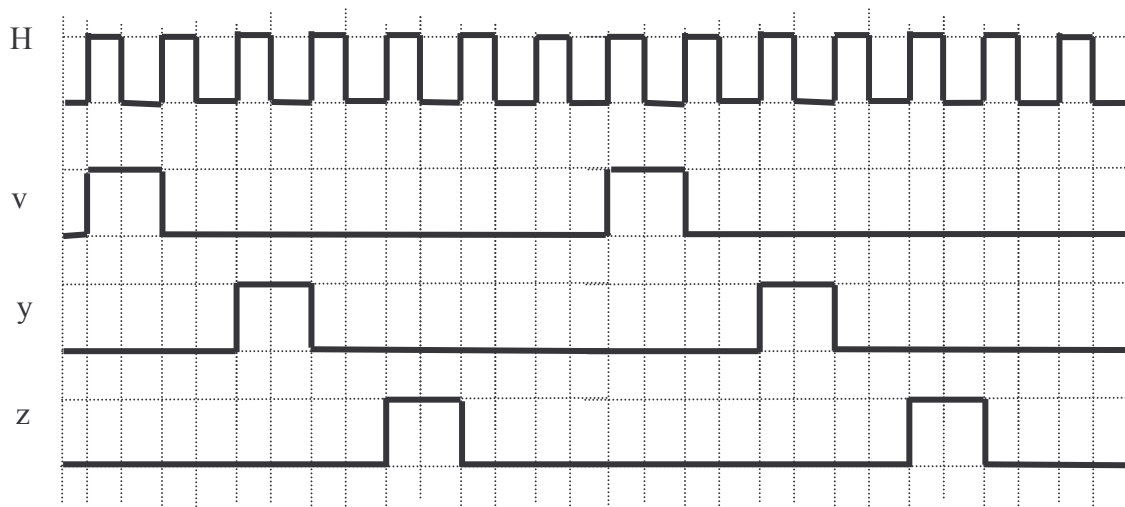


1. Montrer qu'il faut utiliser 4 bascules (raouter QD) afin d'éviter les cycles pièges.
2. Donner alors le cycle de comptage
3. Les états sont codés en binaire naturel, établir la table de transitions / excitations
4. Etablir les équations d'excitations de chaque bascule en utilisant une synthèse à coût minimal
5. Dessiner le logigramme

Exercice 2 : Synthèse d'un générateur de signaux (examen sept 2001)

On cherche à réaliser un compteur synchrone utilisant des bascules JK déclenchées sur front montant d'horloge H. Les sorties A, B, C doivent indiquer en binaire naturel le nombre n d'impulsions reçues modulo 7. (A : MSB et C : LSB).

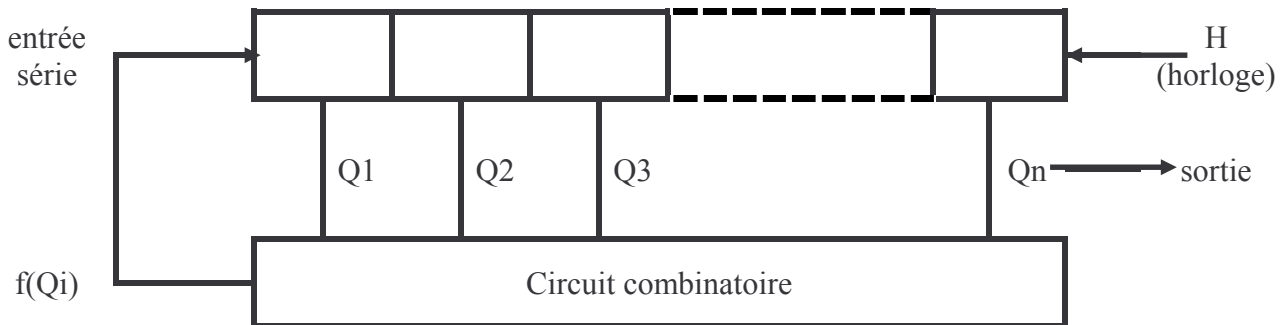
1. Combien faut-il de bascules pour réaliser ce compteur ? Justifier.
2. Créer la table de transition d'une bascule JK, en déduire la table d'excitation.
3. Créer la table de transition du compteur et en déduire les tables des excitations J_a, K_a, J_b, K_b des différentes bascules utilisées
4. Trouver les expressions des excitations J_a, K_a, J_b, K_b sous forme de sommes minimales d'implicants premiers.
5. Dessiner le logigramme du circuit correspondant. Ce circuit peut-il avoir des aléas de fonctionnement ? Justifier.
6. Modifier le circuit combinatoire de sortie du compteur précédent pour obtenir les trois signaux v, y, z définis dans le chronogramme de la figure n°4.



TD LOGIQUE n° : Synthèse synchrone de Registres

Exercice 1 : Séquenceur par Registre Série-Parallèle (décalage à droite)

Soit un registre à décalage à droite, dont l'entrée de chargement série reçoit une fonction $f(Q_i)$ des bits présents dans le registre.

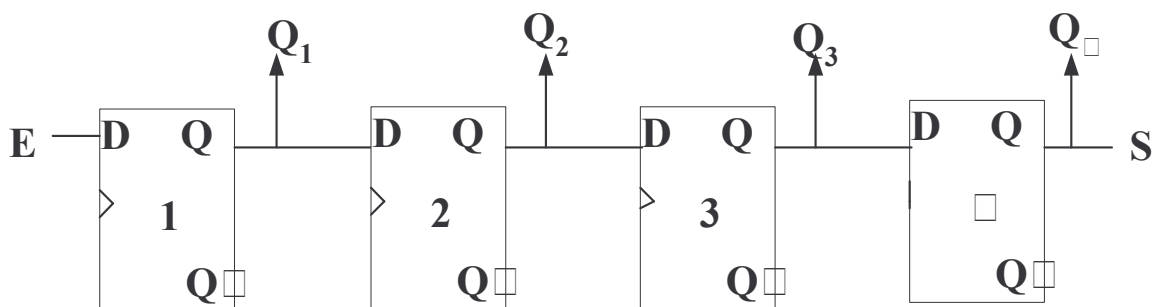


On souhaite obtenir en Q_n la séquence $\square 101\ 1000$, le bit de droite apparaissant en premier et la séquence se répétant indéfiniment.

8. Quel est le nombre minimal de bits que devra contenir le registre à décalage ?
- Déterminer dans ce cas la fonction $f(Q_i)$ sous sa forme minimale.
10. l'état du système étant représenté par le contenu du registre, dresser le diagramme des transitions et examiner le problème de l'autocorrection (états hors-cycle) ?
11. la disponibilité commerciale de registre à décalage à 4 ou 8 bits peut-elle simplifier la synthèse du séquenceur ?

Exercice 2 : Registre à décalage ($\square\square\square\square$)

Un registre est constitué de 4 bascules D mise en série comme indiqué sur la figure ci-dessous. Chaque bascule est reliée à une horloge commune que l'on n'a pas été représenté pour des raisons de clarté.



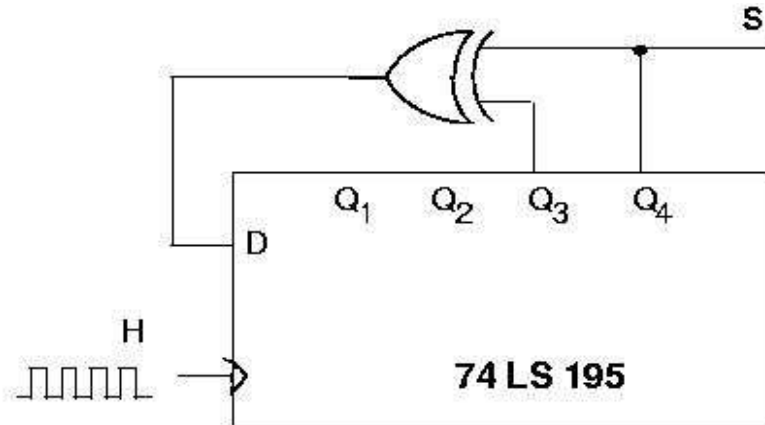
On a accès à l'entrée « E », à la sortie « S » et au mot de 4 bits (internes) $Q = Q_4Q_3Q_2Q_1$. A tout instant, l'état du registre est déterminé par la valeur du mot Q . On passe donc d'un état Q à Q' (état futur) à chaque coup d'horloge.

1. On part de l'état $Q = 1011$. Quelle est la liste des 5 états suivants dans les 4 cas a), b), c) et d). Préciser la valeur décimale de chaque état selon qu'on l'interprète comme un entier non signé ou signé.
 - a) $E = 0$
 - b) $E = 1$
 - c) $E = Q_3$
 - d) $E = S$

2. Au bout de ces 5 états, quelle est la périodicité observée dans les valeurs successives de Q dans chacun des cas ?
3. On part toujours de $Q = 1011$, mais cette fois on cible $E = \neg(Q_4 \oplus Q_3 \oplus Q_2)$. Donner alors la série complète des états obtenus. Montrer qu'au bout d'un certain nombre d'états (à déterminer), il ne reste qu'un seul « 1 » qui « tourne » dans le registre. Quelle fonction réalise le registre ?
4. Quelle serait la fonction réalisée si le registre comportait 5 bascules ?

Exercice 3 : Générateur aléatoire à base de registre

On considère le montage suivant où le circuit 7415 est un registre à décalage de 4 bits. On réinjecte $Q_4 \oplus Q_3$ dans l'entrée « D ». La sortie « S » est prise sur le bit Q_4 .



- 1.
2. Montrer que si le registre se trouve chargé avec 0000, il conserve cette valeur indéfiniment.
3. On charge maintenant le registre avec 1111. Donner la suite des états (considérés comme des entiers non signés) obtenus en binaire et décimal.
4. Est-ce que cette suite présente une périodicité ? Si oui, de combien ?
5. Expliquer pourquoi un tel registre est appelé « registre de longueur maximale » ?
6. Montrer qu'on aurait obtenu le même résultat (longueur maximale) quelque soit le mot de départ.

TD LOGIQUE n° :
Synthèse synchrone de systèmes physiques
Machines à Etats Finis (FSM)

Exercice 1 : Distributeur de boissons (examen juin 2003 - exemple C)

Une machine distribue une boisson lorsque l'on y introduit 15 centimes. La machine possède 2 détecteurs de pièce, un pour les pièces de 5 centimes (« P5 ») et un autre pour les pièces de 10 centimes (« P10 »). La machine possède 2 sorties D et R, la première actionne le distributeur de boisson (« D ») et la deuxième assure la restitution des pièces lorsque le montant introduit est supérieur à 15 centimes (« R »).

- On ne peut introduire que des pièces de 5 ou 10 centimes. On utilise 2 entrées (2 bits de codage).
 - Deux pièces ne peuvent être introduites/détectées au même moment
 - Une pièce n'est détectée que pendant un seul cycle de l'horloge de la machine à états.
 - Entre deux pièces introduites successivement, le capteur retourne à l'état pendant au moins un cycle d'horloge.
 - La machine synthétisée sera une machine de Mealy. La méthode de synthèse sera à coût minimal.
1. Justifier le choix d'une machine de Mealy en considérant le nombre d'états nécessaires pour des machines de Moore/Mealy
 2. Expliquer pourquoi l'utilisation d'un codeur en entrée aurait pu permettre l'utilisation d'un seul bit de codage pour les entrées. Idem en sortie.
 3. Etablir le diagramme des états représentant cette machine.
 4. Etablir la table des états correspondant à ce graphe.
 5. En utilisant un codage binaire naturel (état initial à 00), établir la table de transition et de sortie.
 6. En utilisant des bascules D, déterminer les équations d'excitation minimales des bascules.
 7. Dessiner le logigramme correspondant.

Exercice 2 : Compteur de score (relatif)

On cherche à faire la synthèse d'une machine qui compte les scores de 2 joueurs de la manière suivante :

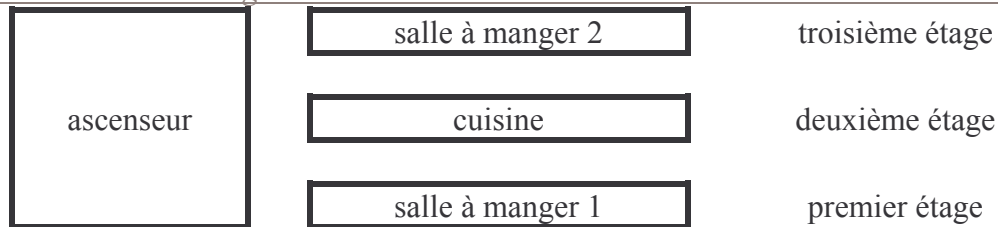
- A chaque tour, le joueur 1 ou 2 gagne obligatoirement un point,
- Quand un joueur possède 3 points d'avance, il gagne une partie,
- Le prochain point après une victoire est automatiquement le premier point de la partie d'après.

La fonction réalisée possède une entrée : P (P = 0 signifie que le joueur 1 gagne un point, P = 1 signifie que 2 gagne un point). Sorties : A et B (A = 1 signifie que 1 a gagné une partie, B = 1 idem). Entrées supplémentaires : Clr (revenir au début) et une entrée d'horloge (Clk). On utilisera des bascules D pour la synthèse de cette machine de Mealy.

1. Dresser le graphe des états. Vérifier qu'il possède 5 états distincts. (si le graphe que vous obtenez, possède un nombre d'état supérieur à 5, il est quand même possible de synthétiser cette fonction).
2. Etablir la table de transition/sortie de la machine.
3. Construire la table d'excitation des bascules. (on utilisera la configuration coût minimal).
4. Déterminer l'équation du circuit combinatoire de sortie. Vérifier, dans le cas où des états hors cycle existent, qu'il n'y a pas d'état piège.
6. Donner le logigramme de la fonction. (on pourra utiliser des portes logiques de base).

Exercice 3 : Commande d'un monte-charge : objectif pédagogique

Un monte-charge est utilisé dans un restaurant pour transporter les plats de la cuisine aux salles à manger. L'ascenseur est constitué de la manière suivante :



- L'ascenseur peut monter ou descendre. Lorsqu'on appuie sur le bouton UP, l'ascenseur monte et lorsqu'on appuie sur le bouton DOWN, l'ascenseur descend.
 - Pour monter et descendre, 2 signaux de contrôle sont envoyés au moteur de l'ascenseur. Pour monter, le signal MONTE active l'ascenseur vers le haut et le signal DESCEND l'active vers le bas. Une mauvaise direction est indiquée par le signal MD.
 - MD est activée si l'ascenseur est situé au premier étage et que l'utilisateur appuie sur le bouton DOWN ou si l'ascenseur est situé au troisième étage et que l'utilisateur appuie sur le bouton UP.
 - Il est impossible de monter ou descendre plusieurs étages à la fois. Par exemple, si l'utilisateur souhaite aller du premier au troisième étage, il doit d'abord appuyer sur UP. Une fois arrivé au deuxième étage, il doit de nouveau appuyer sur UP pour se rendre au troisième étage.
 - Si UP et DOWN sont activés simultanément, UP a la priorité.
 - L'ascenseur est situé initialement en cuisine.
1. Quels sont les signaux d'entrées et de sorties ?
 2. Dessinez le diagramme des états de cette machine en considérant une machine de Mealy.
 3. Etablir la table de transitions / sorties.
 4. Effectuez la synthèse en utilisant un codage Gray, des bascules D et des portes logiques de base.
 5. Dessinez le logigramme correspondant.

Exercice 1: Erreur électronique (digicode simplifié)

L'ouverture des portes du hall d'un immeuble est contrôlée par un digicode. Une porte contrôlée par un digicode ne s'ouvre que si l'on a tapé la bonne suite de caractères. Pour simplifier nous supposons que 4 touches seulement sont possibles : A, B, C et D. On ne peut frapper qu'une seule touche à la fois. La porte s'ouvre (U : unloc) dès que l'on a tapé la suite ACD. Dans le cas contraire, un voyant rouge (R) s'allume.

Réaliser la synthèse de ce digicode simplifié. Une sortie U à 1 du circuit commande l'ouverture de la porte et une sortie à 0 la fermeture. De même, une sortie R à 1 affiche une erreur.

1. Montrer qu'il faut 7 états pour éviter que l'utilisateur déduise le code après un nombre fini de tentatives infructueuses.
2. Donner un diagramme des états (Moore) du circuit de contrôle du digicode.
3. Utiliser un codage binaire naturel pour les états. Combien faut-il de bits pour coder les entrées ? Utiliser alors un codage binaire naturel pour ces entrées.
4. Ecrire les tables de transitions et de sortie.
5. Réaliser le circuit de contrôle à l'aide de bascules D.
6. Comment modifier le graphe pour éviter que l'utilisateur se rende compte que le code secret est composé de 3 lettres.

Exercice 2: Codeur A à I

Dans les transmissions téléphoniques à grande distance, les informations transitent sous forme numérique, en série et au rythme d'une horloge. De manière à éviter de longues suites de « 1 » logiques (ce qui correspond à une ligne au repos en transmission asynchrone RS232), et par conséquent des composantes continues que la ligne téléphonique risque de filtrer, le code binaire est transformé en 3 niveaux de tension sur la ligne :

- Un « 0 » logique correspond toujours à une tension nulle.